

带有串联谐振支路的 3.4~3.6 GHz 功率放大器

郝明丽, 王 统, 陈春青, 张海英

(中国科学院 微电子研究所, 北京 100029)

摘 要: 基于 $2\ \mu\text{m}$ InGaP/GaAs HBT 工艺技术, 提出了一种 3.4~3.6 GHz 功率放大器芯片电路的设计. 功率放大器采用三级级联放大电路结构, 其输出匹配网络设计在片外并通过 PCB 板实现. 为了降低二次和三次谐波, 在片外输出匹配网络中设计了一种串联谐振支路, 并通过一根金丝引线与功放芯片相连. 通过上述方法, 谐波被有效抑制, 在 $V_{\text{cc}}=4.3\ \text{V}$ 和 $V_{\text{bias}}=3.3\ \text{V}$ 供电下, 测得 3.4 GHz 下的 1 dB 压缩点输出功率为 28.5 dBm, 相应的功率附加效率为 28.3%, 其二次和三次谐波抑制比分别达到 -50 dBc 和 -43 dBc. 另外, 该功放在整个工作频带上的线性增益超过 28.3 dB, 增益平坦度达到 $\pm 0.21\ \text{dB}$.

关键词: 3.4~3.6 GHz; 功率放大器; InGaP/GaAs; 串联谐振

中图分类号: TN722

文献标识码: A

文章编号: 1000-7180(2013)08-0142-05

A 3.4~3.6 GHz Power Amplifier with a Series Resonant Circuit

HAO Ming-li, WANG Tong, CHEN Chun-qing, ZHANG Hai-ying

(Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: This paper presents the design and performance of a 3.4~3.6 GHz power amplifier (PA) chip implemented in $2\ \mu\text{m}$ InGaP/GaAs HBT technology. A three-stage cascade configuration is adopted, and the output matching network is designed on the PCB. A series resonant circuit is designed off-chip and connected to the PA chip by a bondwire in order to reduce the 2nd and 3rd harmonics. Under $V_{\text{cc}}=4.3\ \text{V}$ and $V_{\text{bias}}=3.3\ \text{V}$, the measured $P_{1\text{dB}}$ is 28.5 dBm with a PAE of 28.3%, the 2nd and 3rd harmonics are suppressed effectively and the values are -50 dBc and -43 dBc, respectively. Besides, the PA shows good linear gain over 28.3 dB with the gain flatness only $\pm 0.21\ \text{dB}$.

Key words: 3.4~3.6 GHz; power amplifier; InGaP/GaAs; series resonant

1 引言

随着新一代无线通信系统技术的发展, 为获得更高的数据速率并保证数据传输质量需要更加复杂的调制技术, 这对无线发射系统前端的关键部件——功率放大器提出了越来越苛刻的要求, 尤其是在线性度和效率等方面. 在 LTE 众多频段应用中, 3.4~3.6 GHz 虽是研究热点^[1], 但目前基于此频段的功率放大器芯片的研发鲜有报道.

本文提出了一种基于 $2\ \mu\text{m}$ InGaP/GaAs HBT (异质结双极晶体管) 技术的 3.4~3.6 GHz 功率放

大器单片集成电路, 偏置电路、前级的驱动、输出级功率管、输入和级间匹配网络等设计在片内, 而输出匹配网络和射频扼流圈等都被设置在片外, 并通过 PCB 板来实现. 设计了一种串联谐振支路, 通过调节元件值来改变谐振频率.

2 电路设计

根据需要的增益和输出功率指标, 设计了一种三级级联的放大结构, 电路拓扑结构如图 1 所示. 一般来说, 综合考虑电路的性能指标后, 首先对增益和输出功率进行初步分配, 然后借助仿真软件对多种

不同尺寸的功率单元进行性能评估,除了满足每一级的增益要求,还要保证前级的线性输出功率大于后级的线性输入功率,留出一定的功率余量,避免后级的输出功率过早饱和而影响电路的线性度。由此得出每一级的功率管尺寸,其中 HBT 的单个发射极指的宽度为 $2\ \mu\text{m}$,最终确定三级的发射极总面积分别为 $160\ \mu\text{m}^2$ 、 $640\ \mu\text{m}^2$ 和 $2\ 560\ \mu\text{m}^2$,芯片面积为 $2\ \text{mm}\times 1\ \text{mm}$ 。对偏置电路的设计来说,使用了具有温度补偿的电流镜结构。为得到较好的线性度,将第一级偏置在 A 类工作状态,第二级和第三级则都偏置在 AB 类,这样既降低了功率消耗,也保持了一定的线性度。对于射频通路,第一级和第二级使用串联的 RC 负反馈结构来对低频段的高增益进行抑制,在提高电路稳定性^[2-3]的同时也将改善功放的线性度。另外,在偏置电路中使用基极镇流电阻来抑制电流增益坍塌^[4-6],镇流电阻的大小则依据仿真软件得出的稳定性因子和该电阻对射频性能的影响来折中选择。除此之外,在射频信号通路上,每个功率晶体管都串联一个较低容值的耦合电容来削弱低频段,尤其是带外低频段的高增益。由此,电路的热稳定性和射频稳定性都同时得到提高。

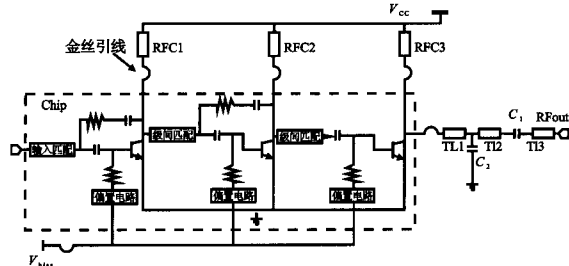


图 1 3.4~3.6 GHz 功率放大器电路简化结构图
(虚线部分为片内集成部分)

众所周知,级联电路中前级除了满足后级所需的功率驱动以外,主要侧重的是增益性能,因此,输入和级间匹配一般都采用共轭匹配方式,而对于功率输出级,为使得输出功率最大化,则采用最佳功率匹配方式,也即需要确定最佳负载阻抗 R_{opt} 。通过软件 ADS 的负载牵引仿真,可以初步得出 R_{opt} ,并利用史密斯圆图得到最初的匹配网络结构,然后将匹配网络中的理想的无源元件进行实际使用元件的替换。在实际调试中,选用了串联等效电阻非常小的 ATC600L 型高 Q 值电容,而且此电容的仿真模型库可以在 ADS 中进行安装,便于仿真电路中的调试。由于应用频段较高,微带线的分布参数效应不可忽略,需要将微带线模型也调入原理图电路中进行仿真。通过上述步骤将片外 PCB 板上的寄生因素包

括键合金丝引线的影响考虑在内后,最终的输出匹配网络相比最初的结构会有变化。对于 PCB 板,则是选用了罗杰斯的 RO4350B 型 PCB 板。综上所述,将片外的匹配电路无源元件(包括 PCB 板上的微带线)通过 ADS 的辅助仿真确定后,尽可能地提高了片外匹配网络的精度。如图 2(a)所示,经过对片外匹配电路的优化,电路达到了较好的匹配状态,而且在整个工作频段内的小信号增益达到 32.9 dB 以上。在 $V_{\text{cc}}=4.3\ \text{V}$ 和 $V_{\text{bias}}=3.3\ \text{V}$ 的供电电压下,1 dB 压缩点输出功率在 3.5 GHz 频点超过 30 dBm,如图 2(b)所示。然而从此图中可以看出,此时的二次和三次谐波并没有达到比较理想的水平。考虑到实际测试环境要比仿真环境差,例如电容、电感的非线性效应导致的非线性负载,再加上大信号时随着电流的增加而出现增益压缩等更为明显的非线性特征,将会进一步恶化谐波性能。为了得到更好的线性度,需要在仿真阶段尽量改善电路的谐波抑制能力。值得注意的是,优化片外匹配网络时,不能明显影响输出功率。

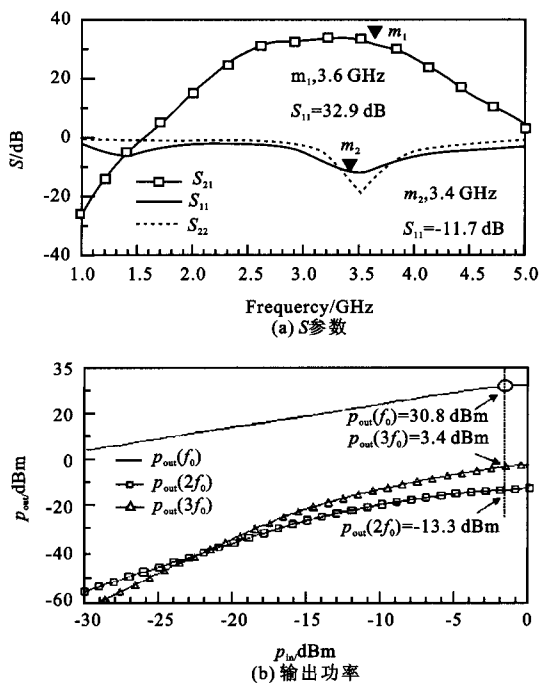


图 2 3.4~3.6 GHz 功放电路初步仿真结果

3 片外匹配网络的优化设计

由图 1 可以看出,输出匹配网络包含一个耦合电容、一个并联电容和射频信号通路上的微带线 TL1—TL3。高频下微带线的分布参数效应会参与输出匹配的谐振,选择罗杰斯的 RO4350B 高频板材后,通过 ADS 仿真软件设置 PCB 板的衬底参数

可以对微带线进行实际情况下的模拟. 尽管此种输出匹配已属于低通匹配类型, 但如前所述, 二次和三次谐波的仿真结果并不很理想, 特别是三次谐波, 必须采取措施进一步对谐波进行抑制. 为了改善谐波抑制比, 同时便于片外调试, 设计了一种串联谐振支路并将其放置于输出匹配网络中, 如图 3 所示, 其中包括一根金丝引线、一段微带线 TL4、一个电容 C_3 还有一个电感 L_1 . 其中, L_1 代表了 C_3 的接地焊盘以及 PCB 板接地过孔寄生的电感量总和. 单个 PCB 过孔的寄生电感可以通过下面的公式^[7]得到:

$$L = 5.08h[\ln(4h/d) + 1](\text{nH})$$

式中, L 是 PCB 板单个过孔的寄生电感, h 是 PCB 板过孔的长度, d 是过孔的中心直径, h 和 d 两个参数的单位为英寸. 对于本文选用的 PCB 板, 介质基板板厚 0.02 英寸 (20mil), 一个中心孔径为 0.006 (6 mil) 英寸的过孔其寄生电感值约为 0.36 nH. 在此电路中, 考虑到多个接地过孔并联放置的条件、焊盘的寄生因素以及焊锡的影响, 电感 L_1 的估计值为 0.2 nH. 键合引线通过 ADS 软件中的 Philips-TU Delft Bondwire 模型^[6]进行模拟. 另外, TL4 的线宽基于 50 Ω 的特征阻抗进行设计, 宽度约为 1.1 mm.

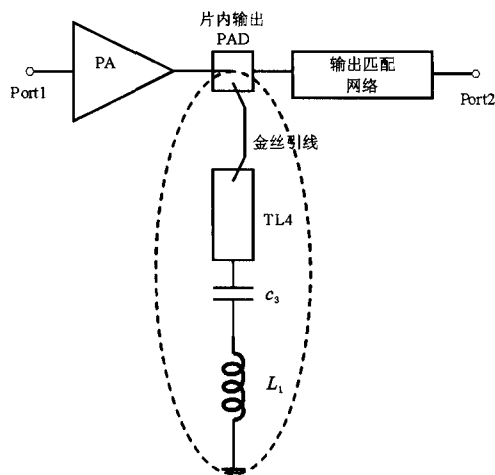


图 3 串联谐振支路放置在输出匹配网络中

表 1 所示为串联谐振支路中元件值的一种组合, 其中, PCB 介质基板厚度为 20mil (0.508 mm), 在此情况下, 得到的串联谐振频率为 10.8 GHz, 正好是 3.6 GHz 的 3 次倍频. 根据串联谐振的特点, 谐振点处的阻抗最小, 当该支路并联到电路中并接地时, 三次谐波信号在串联谐振频点处的衰减量将达到最大值, 谐振点外的信号衰减量将会随着与谐振频点之间距离的增加而相应减少. 因此, 在此种情况下, 整个电路的谐波抑制将得到不同程度的提高, 如图 4 所示, 采用上面的谐振点条件, 二次和三次谐

波均得到有效抑制, 与图 2 所示的仿真结果相比, 该串联谐振支路并没有对 S 参数和输出功率产生明显影响. 另外, 串联谐振频率可通过改变键合引线的长度、数量或改变电容 C_3 的大小来灵活调整. 例如, 当金丝引线数量固定为一根, 而仅有 C_3 由 0.1 pF 变为 0.4 pF 时, 谐振频率从 10.8 GHz 变到 6.4 GHz. 然而, 需要注意的是, 谐振频点应该与工作频段之间保持足够的距离而不致于使带内的信号衰减量明显增大.

表 1 串联谐振支路中元件值的一种组合

元件列表	元件值
金丝引线	数量 1 根, BONDW_Usershape 参数如下: X_1=0 μm , X_2=80 μm , X_3=160 μm , X_4=240 μm , X_5=320 μm , X_6=400 μm , Y_1~Y_6=0 μm , Z_1=0 μm , Z_2=100 μm , Z_3=200 μm , Z_4=200 μm , Z_5=100 μm , Z_6=0 μm
TL4	线宽=1.1 mm, 线长=2 mm
C3	0.1 pF, ATC600L
L1	0.2 nH

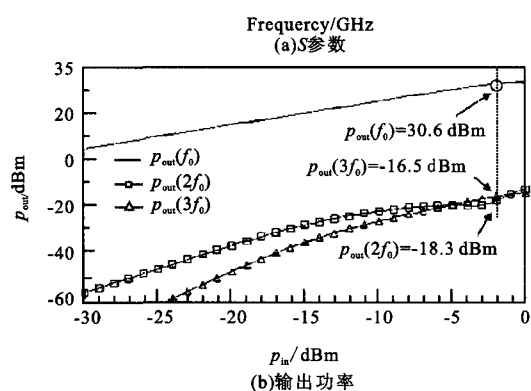
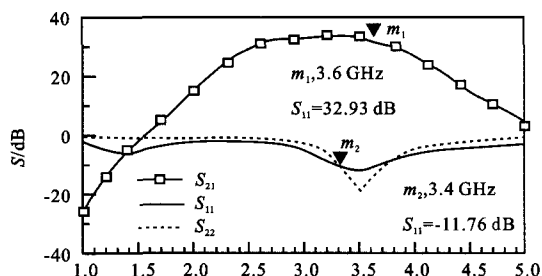


图 4 带有串联谐振支路的功放仿真结果

值得一提的是, 由于电路中寄生因素参与谐振, 再加上键合操作人为因素的影响, 金丝引线的状态不会与仿真模型完全一致. 因此, 在实际测试中其他无源元件的值还要作适当调整.

4 测试结果

图 5 中给出了 3.4~3.6 GHz 功率放大器单片集成电路的芯片照片, 从图中可以看出, 在输出 PAD 下方还连接了一个额外的压焊 PAD, 用于构

成并联到地的串联谐振支路,芯片的尺寸为 $2\text{ mm} \times 1\text{ mm}$. 图 6 所示为该功放的 PCB 板测试件,如图中所示,为达到理想的滤波效果,在直流通路上放置了不同容值的电容,并将片外无源匹配元件按照仿真电路中显示的位置进行放置和烧焊. 功放芯片则是通过导电银浆粘贴到 PCB 板上,并通过芯片背部的 PCB 过孔接地和散热. 对于串联谐振支路,为简便起见,将键合的金丝引线按照仿真模型固定为一种状态,数量选取一根,而仅仅改变电容 C_3 的值. 表 2 和表 3 中给出了在 $V_{cc}=4.3\text{ V}$ 和 $V_{bias}=3.3\text{ V}$ 的供电情况下,不同电容值对应的 S 参数和 1 dB 压缩点输出功率. 根据上述两表数据,综合考虑 S 参数和 1 dB 压缩点输出功率,最终选取 C_3 的容值为 0.3 pF . 此外,由表中数据也可以看出,相比无串联谐振支路的功放电路,当加上该谐振支路时,对电路的 S 参数和输出功率性能都有一定程度的改善.

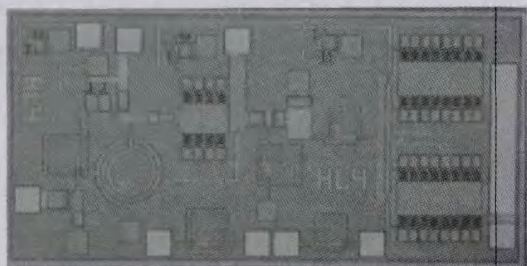


图 5 3.4~3.6 GHz 功放芯片照片

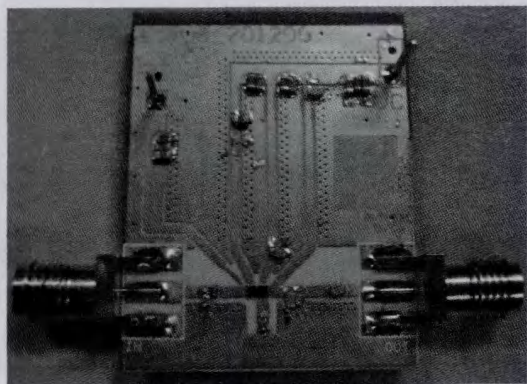


图 6 功放芯片的 PCB 测试件

表 2 不同电容值下的 S 参数值

C_3 电容值	S 参数(dB), $V_{cc}=4.3\text{ V}$, $V_{bias}=3.3\text{ V}$					
	3.4 GHz		3.5 GHz		3.6 GHz	
	S11	S21	S11	S21	S11	S21
0.2 pF	-10	28.4	-9.9	28.8	-9	28.6
0.3 pF	-10.2	28.3	-10.2	28.7	-9.3	28.6
0.4 pF	-10.3	28.1	-10.4	28.6	-9.5	28.5
无串联 谐振支路	-9.3	8.9	-8.8	29.3	-7.7	29

表 3 不同电容值下测得的 1 dB 压缩点输出功率

C_3 电容值	$P_{1dB}(\text{dBm}) (V_{cc}=4.3\text{ V}, V_{bias}=3.3\text{ V})$		
	3.4 GHz	3.5 GHz	3.6 GHz
0.2 pF	28.72	27.20	25.50
0.3 pF	28.54	27.68	26.02
0.4 pF	26.90	26.38	25.45
无串联 谐振支路	28.06	26.90	25.32

经过上述的调试步骤,最终确定了片外无源匹配网络的形式. 测试结果表明,在整个工作频段上,电路的线性增益达到 28.3 dB 以上,增益平坦度仅有 $\pm 0.21\text{ dB}$, S11 在 3.4 GHz 频点处低于 -10.2 dB ,如图 7 所示. 将信号输入功率从 -20 dBm 开始,以 2 dBm 的步长进行扫描,得到了图 8 所示的 1 dB 压缩点输出功率,在 3.4 GHz 处达到 28.5 dBm,对应的输入功率为 1.2 dBm ,此时的功率附加效率 PAE 为 28.3%,电流消耗共计 586 mA. 另外,采用 E4440A 频谱仪同时观察到基波和谐波情况,如图 9 所示,采用上述的串联谐振支路后,3.4 GHz 频点下的 1 dB 压缩点输出功率对应的二次和三次谐波抑制比分别低于 -50 dBc 和 -43 dBc ,显示了良好的线性度.

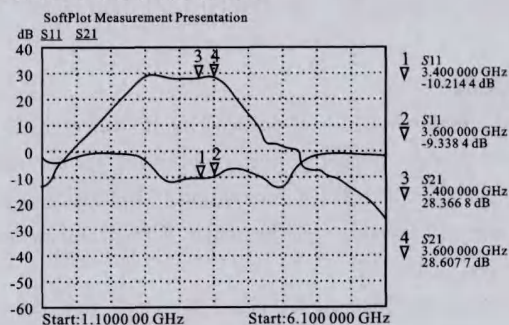
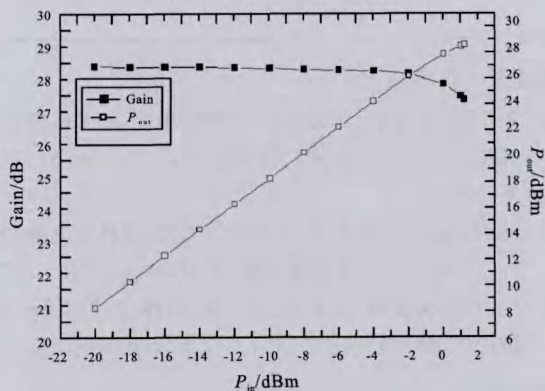


图 7 最终测得的 S 参数

图 8 在 $V_{cc}=4.3\text{ V}$ 和 $V_{bias}=3.3\text{ V}$ 供电下 3.4 GHz 处的 P_{1dB}

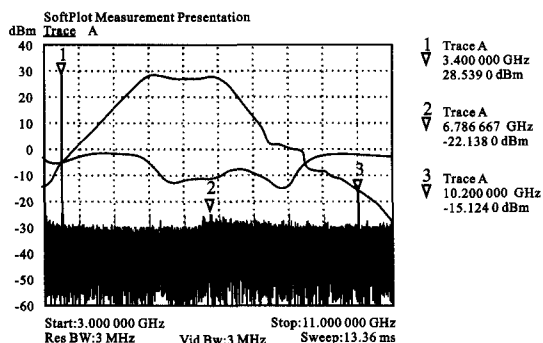


图9 1 dB 压缩点处 3.4 GHz 的基波和谐波功率测量

5 结束语

基于 $2\ \mu\text{m}$ InGaP/GaAs HBT 工艺技术设计了一种 3.4~3.6 GHz 的功率放大器单片集成电路, 其输出匹配网络设计在片外, 并利用罗杰斯 RO4350B PCB 板来实现. 为了降低二次和三次谐波, 在输出匹配网络中设计了一种串联谐振支路, 其一端通过键合引线与功放芯片的输出 PAD 进行连接, 另一端接地. 在 $V_{cc}=4.3\ \text{V}$ 和 $V_{bias}=3.3\ \text{V}$ 的供电下, 功率放大器在整个工作频带上的线性增益达到 28.3 dB 以上, 3.4 GHz 处的 1 dB 压缩点的输出功率为 28.5 dBm, 相应的 PAE 为 28.3%. 在串联谐振支路的作用下, 谐波被有效抑制, 3.4 GHz 频点下的 1 dB 压缩点输出功率对应的二次和三次谐波抑制比分别达到 -50 dBc 和 -43 dBc 以下.

参考文献:

- [1] Hussaini A, Abd-Alhameed R, Rodriguez J. Design of energy efficient power amplifier for 4G user terminals[C]//17th IEEE International Conference on Electronics, Circuits, and Systems (ICECS). Greece, Athens, 2010:611.
- [2] Rasmi A, Marzuki A, Ismail M, et al. 0.5 μm GaAs PHEMT medium power amplifier design using simple RC

feedback amplifier for wireless LAN applications[C]// Asia-Pacific Microwave Conference. Hong Kong, 2008:4.

- [3] Alam M, Armstrong G. Design of GaAs HBT power amplifier for WCDMA wireless communication systems[C]//International Symposium on Integrated Circuits Singapore, 2007:596.
- [4] Jaejune Jang, Kan E C, Arnborg T, et al. Characterization of RF power BJT and improvement of thermal stability with nonlinear base ballasting[J]. IEEE Journal of Solid-state Circuits, 1998, 33(9):1428.
- [5] Sowlati T, Luo S. Bias boosting technique for a 1.9 GHzm class AB RF amplifier[C]// Proceedings of the 2000 International Symposium on Low Power Electronics and Design. Italy, 2000:284.
- [6] Hao Mingli, Shi Yin. A 2.4 GHzm power amplifier in 0.35 μm SiGe BiCMOS[J]. Journal of Semiconductors, 2010, 31(1):015004.
- [7] Qiu Xiaofeng, Wu Yushu, Li Shufang, et al. Simulation and analysis of via effects on high speed signal transmission on PCB[C]// Radio Science Conference. China:Shandong, 2004:284.

作者简介:



郝明丽 女, (1979—), 博士, 副研究员. 研究方向为射频与微波集成电路.

王 统 男, (1986—), 硕士. 研究方向为射频与微波集成电路.

陈春青 男, (1987—), 硕士. 研究方向为射频与微波集成电路.

(上接第 141 页)

- [6] 王恒迪, 朱坚民, 梁丽, 等. 一种简单准确的 R 波检测算法[J]. 生物医学工程学杂志, 2007, 24(5): 1019-1022.
- [7] 苏丽, 赵国良, 李东明. 心电信号 QRS 波群检测算法研究[J]. 哈尔滨工程大学学报, 2005, 26(4): 513-517.
- [8] 朱凌云, 吴宝明, 王正国, 等. 移动心电监护系统 QRS 波的实时检测算法研究[J]. 仪器仪表学报, 2005, 26

(6): 603-607.

作者简介:

胡 平 男, 副教授, 硕士生导师. 研究方向为嵌入式系统、信号处理.

何 俊 女, 硕士, 研究方向为嵌入式系统、信号处理.